

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7274

(P2001-7274A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl.⁷

識別記号

F I

ターミナル* (参考)

H 0 1 L 23/50

H 0 1 L 23/50

R 5 F 0 6 7

23/12

23/12

L

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願平11-171748

(22) 出願日 平成11年6月18日 (1999.6.18)

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 佐々木 将人

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

(74) 代理人 100111659

弁理士 金山 聡

Fターム (参考) 5F067 AA01 AB04 BA03 BA09 BB10

BC02 BC09 DA17 DC11 DC12

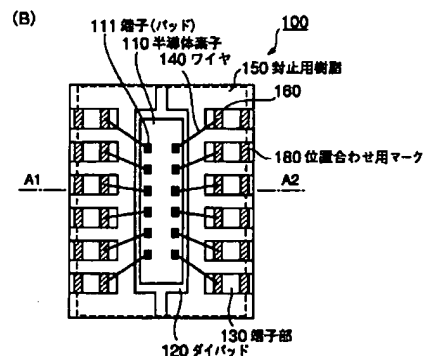
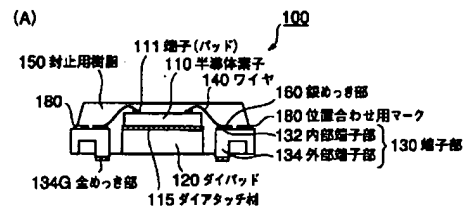
DC13 DC17 DE01

(54) 【発明の名称】 樹脂封止型半導体装置とそれに用いられる回路部材および回路部材の製造方法

(57) 【要約】

【課題】 高集積化、小型化が可能であり回路基板への実装時の位置合わせが容易な樹脂封止型半導体装置とそれに用いられる回路部材等を提供する。

【解決手段】 本発明の樹脂封止型半導体装置100は、半導体素子の端子と電気的に結線するための内部端子部132と、外部回路への接続のための外部端子部134とがその表裏に相対するように一体的に設けられた複数の端子部を、内部端子部同士と外部端子部同士が略同一平面内にあって配列するように、それぞれ互いに電気的に独立して配置し、且つ端子部の内部端子部と半導体素子の端子111とを電気的に接続し、端子部の一部を外部に露出して樹脂封止した半導体装置において、外部端子部と表裏の関係で相対する内部端子部表面の、樹脂封止される領域の外側の露出部に、位置合わせ用マーク180がめっき法にて形成されていることを特徴とする。このような半導体装置に用いる回路部材は通常のリードフレームと同様な方法で製造することができる。



【特許請求の範囲】

【請求項1】 半導体素子の端子と電気的に結線するための内部端子部と、外部回路への接続のための外部端子部とがその表裏に相対するように一体的に設けられた複数の端子部を、内部端子部同士と外部端子部同士が略同一平面内にあって配列するように、それぞれ互いに電氣的に独立して配置し、且つ端子部の内部端子部と半導体素子の端子とを電氣的に接続し、端子部の一部を外部に露出して樹脂封止した半導体装置において、外部端子部と表裏の関係で相対する内部端子部表面の、樹脂封止される領域の外側の露出部に、位置合わせ用マークがめ

つき法にて形成されていることを特徴とする樹脂封止型半導体装置。

【請求項2】 半導体素子が、端子部とは電氣的に独立したダイパッド上に搭載されていることを特徴とする請求項1記載の樹脂封止型半導体装置。

【請求項3】 半導体素子が、複数の端子部から半導体装置の内側に伸びたリード上に搭載されていることを特徴とする請求項1記載の樹脂封止型半導体装置。

【請求項4】 位置合わせ用マークが少なくとも半導体素子の一側に配列した端子部の封止樹脂から露出した部分に一直線状になるように形成されていることを特徴とする請求項1から請求項3に記載の半導体装置。

【請求項5】 エッチングにより外形加工された、半導体素子の端子と電気的に結線するための内部端子部と、外部回路への接続のための外部端子部とが、その表裏に相対するように一体的に設けられた端子部を、略同一平面内に複数個、それぞれ互いに独立して配置し、各端子部が接続リードを介して、全体を保持する外枠部に一体に連結している回路部材において、外部端子部と表裏の関係で相対する端子部表面の、樹脂封止される領域の外側に、位置合わせ用マークがめつき法にて形成されていることを特徴とする回路部材。

【請求項6】 回路部材が半導体素子搭載用のダイパッドを有し、かつダイパッドが、吊りバーを介して、全体を保持する外枠部に一体に連結していることを特徴とする請求項5記載の回路部材。

【請求項7】 回路部材がダイパッドを有さず、かつ複数の端子部から内側に向かって伸びた半導体素子搭載用のリード部を有することを特徴とする請求項5記載の回路部材。

【請求項8】 外部接続端子部の表面に金めつき部が形成されていることを特徴とする請求項5記載の回路部材。

【請求項9】 位置合わせ用マークが少なくとも回路部材の一側に配列した端子部の封止樹脂から露出する部分に一直線状になるように形成されていることを特徴とする請求項5から請求項8に記載の回路部材。

【請求項10】 回路部材の金属素材の両面に感光性材料によるレジスト膜を設けてパターン形成する工程と、

パターン形成した金属素材の端子部となる露出部の所定部分に、半導体装置を基板に実装する際の位置合わせ用マークを、各端子部に共通の直線を形成しかつ外部端子部位置に対応させて、めつき法にて設ける工程と、金属素材の露出部の他の部分をエッチングして回路部材の外形加工をする工程と、により位置合わせ用マークを有する回路部材を作製することを特徴とする回路部材の製造方法。

【請求項11】 位置合わせ用マークを金めつきにより設けることを特徴とする請求項10記載の回路部材の製造方法。

【請求項12】 回路部材の外形加工後に、端子部の外部端子部となる部分に金めつきを行うことを特徴とする請求項10および請求項11記載の回路部材の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、樹脂封止型半導体装置およびそれに使用する回路部材等に関する。詳しくは半導体装置の樹脂封止された領域の外側に回路基板に位置合わせする際に使用する位置合わせ用マークがめつき法にて形成されていることを特徴とする樹脂封止型半導体装置とそれに用いられる回路部材等に関する。

【0002】

【従来の技術】近年、半導体装置は、高集積化、小型化技術の進歩と電子機器の高性能化と軽薄短小化の傾向（時流）から、LSIのASICに代表されるように、ますます高集積かつ高機能化されてきている。これに伴い、リードフレームを用いた封止型の半導体装置プラスチックパッケージにおいても、その開発傾向がSOJ（Small Outline J-Leaded Package）のような表面実装型のパッケージを経て、TSOP（Thin Small Outline Package）の開発による薄型化を主軸としたパッケージの小型化へ、さらにはパッケージ内部の3次元によるチップ収納効率向上を目的としたLOC（Lead On Chip）の構造へと進展してきた。しかし、樹脂封止型半導体装置パッケージには、高集積化、高機能化とともに、さらに一層の多ピン化、薄型化、小型化が求められており、上記従来のパッケージにおいてもチップ外周部分のリードの引き回しがあるため、パッケージの小型化に限界が見えてきた。

【0003】本願発明者らは、かかる要請に応えるべく、特願平9-97885号、特願平9-201001号（特開平10-335566号公報）において、リードフレームを用いたエリアアレイ型の樹脂封止型半導体装置およびそれに用いる回路部材等を提案している。しかしながら、当該出願にかかる半導体装置は、半導体装置をマザーボード（基板）に実装する際に、外部端子電極が表面からは視認できない半導体装置裏面に形成され

ているため、ボード側の端子と、半導体装置の外部端子電極を、相対的に位置合わせすることがきわめて困難であるという問題がある。

【0004】ここで、本発明の理解の容易のため、上記特開平10-335566号公報に開示される樹脂封止型半導体装置、回路部材について説明する。図5は、上記先行技術における樹脂封止型半導体装置の例を示す。図5(A)はその第1の例の概略断面図であり、100は樹脂封止型半導体装置である。半導体素子110はダイアタッチ材115を介してダイパッド120に搭載されている。複数の端子部130が半導体素子の両側面に沿って配列されており、各端子部130の上面は内部端子部132となっており、銀めっきを施して良好な導通性が確保されている。当該銀めっき部160はワイヤ140により半導体素子の端子(パッド)111に接続する。端子部130の下面は外部端子部となっており、回路基板(マザーボード)に実装する際の接続端子となる。半導体素子110とワイヤ結線部および端子部130の側面を除く部分は封止用樹脂150により樹脂封止されている。図5(B)は、図5(A)の半導体装置の内部を透視した斜視図である。模式的な図であり数個の端子部130が図示されるのみであるが、実際には数十個の端子部が配列されることが多い。図のように複数の端子部130が半導体素子110の両側面に沿って配列しており、半導体素子の端子(パッド)111と内部端子部の銀めっき部分とがワイヤ140によりボンディングされている。図5(C)は、第2の例の概略断面図である。この場合は半導体装置100Aは第1の例の半導体装置100の外部に露出した外部端子部の面134Aに半田からなる外部電極170を設けたものであり、回路基板に実装する際には、半田を溶解、固化して外部端子部134が外部回路と電気的に接続される。

【0005】図6は、上記先行技術における樹脂封止型半導体装置の他の例を示す。図6(A)は、その第3の例の概略断面図であり、200は樹脂封止型半導体装置である。半導体素子210はダイアタッチ材215を介してリード225に搭載されている点を除けば、第1の例と同様である。図6(B)は、図6(A)の半導体装置の内部を透視した斜視図である。模式的な図であることも図5(B)と同様である。半導体素子210はリード225上にダイアタッチ材215により搭載されている。図6(C)は、第4の例の概略断面図である。この場合は半導体装置200Aは第3の例の半導体装置200の外部に露出した外部端子部の面234Aに半田からなる外部電極270を設けたものであり、第2の例の半導体装置と同様である。

【0006】図7、図8は、上記先行技術における樹脂封止型半導体装置に使用する回路部材の例を示す図である。図7の回路部材300は、前記した第1の例および第2の例の半導体装置の作製に用いられるものである。

この場合は、図7(A)のように半導体素子を搭載するダイパッド320を有し、その両側面に配列した複数の端子部330を有し、それらのそれぞれが外枠部370に連結して一体の回路部材を形成している。半導体装置を製造する場合は樹脂モールド後、図中の点線枠の位置で切断して単位の半導体装置とする。従って、352は外枠との接続リードとなる部分である。図7(B)

は、図7(A)のC1-C2線に沿った回路部材300の断面を示す図であるが、一般的にはエッチング特性から図7(C)の断面形状となるのが通例である。この場合は、ダイパッド320は端子部330より薄肉に形成されているが特にそれに限られるものではない。端子部は内部端子部332と外部端子部334とから構成されている。図8の回路部材305は、前記した第3の例および第4の例の半導体装置の作製に用いられるものである。この場合は、図8(A)のように半導体素子を搭載するダイパッドを有さず、その両側面に配列した複数の端子部330から内側に向かって伸びたリード325上に半導体素子を搭載することになる。図8(B)は、図8(A)のC3-C4線に沿った回路部材305の断面を示す図であるが、一般的にはエッチング特性から図8(C)の断面形状となるのが通例である。その他の内容は図7の場合と同様である。

【0007】しかし、上記先行技術(特開平10-335566号公報)のような樹脂封止型半導体装置をマザーボードに実装する場合、半導体装置の外縁は、モールド封止時の位置ずれ、即ち治具孔の径や位置の公差の分だけ、ばらつくのが現状であるため、半導体装置の外縁を用いて、外部電極の微細なピッチのエリアレイ型の半導体装置を実装することは著しく困難であり、ハーフミラーを使用して位置合わせする等の特殊な実装技術が必要となっていた。

【0008】

【発明が解決しようとする課題】上述のように、樹脂封止型半導体装置パッケージには、高集積化、高機能化とともに更に一層の多ピン化、薄型化、小型化が求められている。本発明はこのような状況のもと、半導体装置の回路基板への実装面積を低減でき、なおかつ、マザーボードに実装する際も、半導体装置の外部電極と、マザーボード側の電極との相対的な位置合わせが容易にできる樹脂封止型半導体装置とこれに用いられる回路部材等を提供すべく上記先行技術を改良してなされたものである。

【0009】

【課題を解決するための手段】すなわち、上記課題を解決するための本発明の半導体装置は、半導体素子の端子と電気的に結線するための内部端子部と、外部回路への接続のための外部端子部とがその表裏に相対するように一体的に設けられた複数の端子部を、内部端子部同士と外部端子部同士が略同一平面内にあって配列するよう

に、それぞれ互いに電氣的に独立して配置し、且つ端子部の内部端子部と半導体素子の端子とを電氣的に接続し、端子部の一部を外部に露出して樹脂封止した半導体装置において、外部端子部と表裏の関係で相対する内部端子部表面の、樹脂封止される領域の外側の露出部に、位置合わせ用マークがめっき法にて形成されていることを特徴とする樹脂封止型半導体装置、にある。かかる半導体装置であるため、基板への実装を容易確実に行うことができる。

【0010】上記半導体装置において、半導体素子を、端子部とは電氣的に独立したダイパッド上に搭載することができ、あるいは半導体素子が、複数の端子部から半導体装置の内側に向かって伸びたリード上に搭載されるようにすることもできる。また、位置合わせ用マークが少なくとも半導体素子の一侧に配列した端子部の封止樹脂から露出した部分に一直線状になるように形成することができる。

【0011】上記課題を解決するための本発明の回路部材は、エッチングにより外形加工された、半導体素子の端子と電氣的に結線するための内部端子部と、外部回路への接続のための外部端子部とが、その表裏に相対するように一体的に設けられた端子部を、略一平面内に複数個、それぞれ互いに独立して配置し、各端子部が接続リードを介して、全体を保持する外枠部に一体に連結している回路部材において、外部端子部と表裏の関係で相対する端子部表面の、樹脂封止される領域の外側に、位置合わせ用マークがめっき法にて形成されていることを特徴とする回路部材、にある。かかる回路部材であるため位置合わせ容易な半導体装置の製造に利用できる。

【0012】上記において、回路部材が半導体素子搭載用のダイパッドを有し、かつダイパッドが、吊りバーを介して、全体を保持する外枠部に一体連結しているようにすることができ、また回路部材がダイパッドを有さず、かつ複数の端子部から内側に向かって伸びた半導体素子搭載用のリード部を有するようにすることもできる。外部接続端子部の表面に金めっき部が形成されていれば半導体装置作製の際の処理を排除することができ、位置合わせ用マークが少なくとも回路部材の一侧に配列した端子部の封止樹脂から露出する部分に一直線状になるように形成することは位置合わせを確実にするために好ましい。

【0013】上記課題を解決するための本発明の回路部材の製造方法は、回路部材の金属素材の両面に感光性材料によるレジスト膜を設けてパターン形成する工程と、パターン形成した金属素材の端子部となる露出部の所定部分に、半導体装置を基板へ実装する際の位置合わせ用マークを、各端子部に共通の直線を形成しかつ外部端子部位置に対応させて、めっき法にて設ける工程と、金属素材の露出部の他の部分をエッチングして回路部材の外形加工をする工程と、により位置合わせ用マークを有す

る回路部材を作製することを特徴とする回路部材の製造方法、にある。かかる製造方法であるため位置合わせ用マークを有する回路部材を工程を増やさずに製造できる。

【0014】上記回路部材の製造方法において、位置合わせ用マークを銀めっきにより設けることができ、回路部材の外形加工後に、端子部の外部端子部となる部分に金めっきを行うこともできる。この場合は半導体装置作製の際、端子部を改めて処理する必要がなくなる。

【0015】

【発明の実施の形態】以下、本発明の実施形態について図面を参照しながら説明する。図1は、本発明の樹脂封止型半導体装置を示す図である。図1(A)はその概略断面図、図1(B)は、半導体素子110と端子部130を透視して見た場合の概略平面図である。図1(A)は、図1(B)のおおよそA1-A2線に沿う断面を示すことになる。なお、図1(B)の端子数は図示の簡略化のため省略した数となっており、実際数は数十本になることは前記のとおりである。図1の半導体装置100は、前記した先行技術における第1の例の樹脂封止型半導体装置100と同様のものであって、半導体素子110は、ダイアタッチ材115によりダイパッド120に搭載され、端子(パッド)111と端子部130の銀めっき部160とが金ワイヤ140によりボンディングされている。本発明の樹脂封止型半導体装置の特徴は、端子部の銀めっき部に隣接して位置合わせ用マーク180が内部端子部132表面に形成されていることにある。該位置合わせ用マーク180は外部端子部の直上であっても良く、図1のように水平距離において所定間隔離れている場合であつてよいが、外部端子部に対して一定の間隔を置いた直線状になるようにすることが必要となる。さらに本発明の樹脂封止型半導体装置の好ましい実施形態では外部端子部に金めっき部134Gが設けられる。当該金めっき部は半導体装置作製の際、改めて表面処理を施すことを避ける目的で回路部材製造の際に一体的に形成されたものである。

【0016】図1(B)の平面図のように、矩形の半導体装置100の内側に点線で示した領域が封止用樹脂150で樹脂モールドされている。位置合わせ用マーク180は配列した多数の端子部130表面であつて封止用樹脂150の外縁に沿うように直線状に形成されている。当該位置合わせ用マークは、ワイヤの接続部である銀めっき部160と同時に銀めっき法により形成するのが工率的には簡易である。機械的位置合わせまたは目視による視認を容易とするために、位置合わせ用マークは幅0.1~1.0mm程度に形成するのが好ましく、外部端子部と対応して直線状に形成して、位置合わせ用マークを半導体装置をマザーボードへ実装する際の目印とすることができる。樹脂封止の際の型枠もこの位置合わせ用マークの内側に位置するように設定されることにな

る。

【0017】図1では、ダイパッド120付きの回路部材を使用した半導体装置の例を図示しているが、このような半導体装置はこの例に限らず、例えば、先行技術において例示した図6のように、リード225上に半導体素子210を搭載する場合であってもよい。なお、図1に示す例においては、外部端子部を、半導体素子の端子部（パッド部）に沿い2列に配列してあるが、半導体素子の端子の位置をその四辺に沿い二次元的に配置し、かつ、端子部を該半導体素子の外側に半導体素子の四辺に沿うように二次元的に配列することにより、一層の多ピン化にも対応できる。この場合は、位置合わせ用マークも四辺に沿う直線状に形成することになる。このような半導体装置を回路基板に実装する際は、接続端子を基準として基板側にも描いた野書き線等に位置合わせ用マークの線を目視または機械的に合致させることにより、前記した特殊な技術を用いることもなく簡単に回路基板に実装することができる。

【0018】本発明の樹脂封止型半導体装置は、上記のように内部端子部と外部端子部とが表裏の位置関係にあつて横方向の広がりを生じない構成とされていることにより、半導体装置パッケージサイズにおけるチップ占有率を上げ、半導体装置の小型化に対応できる。すなわち、半導体装置の回路基板への実装面積を低減し、回路基板への実装密度の向上を可能としている。また、端子部を二次元的に複数行、複数列設けることにより、従来のTSP等の小型パッケージに困難であったさらなる多ピン化の実現を可能としている。さらにまた、本発明の半導体装置の顕著な特徴は、上記位置合わせ用マークによりかかる構成の半導体装置をマザーボード（回路基板）に効率的に装着することができる点にある。

【0019】図2は、本発明の樹脂封止型半導体装置に用いられる回路部材を示す図であり、図2（A）は、その概略断面図、図2（B）は、その概略平面図を示している。図2（A）は、図2（B）のB1-B2線に沿う断面を示すことになる。図3は、回路部材が短冊状に連接して形成されたリードフレームを示す。図2のように、本発明の回路部材300は外部端子部334、内部端子部332からなる端子部330と外枠部370に吊りバー395を介して保持されるダイパッド320とからなる。端子部330はダイパッドの両辺に沿って形成された直線状の配列から構成されている。端子部330表面にはワイヤ接続部となる銀めっき部360に隣接して本発明の特徴である位置合わせ用マーク380が直線状に形成されている。この位置合わせ用マーク380は、ダムバー350よりダイパッド側に位置するようにされている。また、前記のように外部接続端子334の表面には金めっき部334Gが形成されている。なお、図2の場合はダイパッドを有する回路部材であるが、図6のようにリード225上に半導体素子を搭載する半導

体装置に対応して図8のようなダイパッドを有しない回路部材305であってもよい。

【0020】図2（A）に示す矢印間（1U）が1単位の回路部材であり、樹脂モールド後はこの単位の回路部材のダムバー350の内側の部分で切断して単位の半導体装置となる。実際に回路部材300を製造する際は、図3のように数個の単位が連接した短冊状に形成されることが多い。治具孔390は、エッチングやめっき工程で板材を搬送したり処理する際に治具が使用する孔である。

【0021】図4は、本発明の回路部材の製造工程を示す図である。まず、42合金（Ni42%：Fe合金）や銅合金等からなる、回路部材の素材である厚さ0.15～0.2mm程度の金属板材500を準備し、板材500の両面を脱脂等を行い良く洗浄処理した後、板材の両面にドライフィルムによる第1のレジスト510を熱圧をかけて貼着する（図4（A））。なお、ドライフィルムレジストの代わりに感光性レジストを使用してもよい。感光性レジストは特に限定されないが、重クロム酸カリウムにより感光性を持たせたカゼイン系のレジストや、ネガ型のレジスト（東京応化工業株式会社製「PMER」等）を使用することができる。次いで、板材500の両面から所定のパターン版を用いてレジストの所定の部分のみに露光を行った後、現像処理し、第1のレジストパターン510Pを形成する（図4（B））。

【0022】次に、内部端子部332表面のワイヤを接続する部分である銀めっき部360と位置合わせ用マーク380となる部分に銀めっきを施す。銀めっきには所定部分以外をマスクしてめっき液を噴射する方法が一般的に行われる。銀めっきの厚みは自由に設定でき、薄くすることにより使用する銀量を減らすことが可能であるが、厚くすれば、ワイヤーボンディングをより確実なものとすることができる。なお、銀めっきに代え、金めっきやパラジウムめっきであってもよい（図4（C））。

【0023】銀めっき後、レジストの開口部530から露出した金属板材のエッチングを腐食液で行い回路部材を作製する。この際、金属板材500の表裏のエッチング量を加減することにより薄肉部520の厚さを調整することができる。図4の場合、ダイパッド320の部分は薄肉にしていなが当該部分を薄肉にしてもよい。通常、腐食液としては塩化第二鉄水溶液を用い板材の両面からスプレイエッチングにて行う（図4（D））。エッチング後、レジストを剥離して基板の洗浄を行う（図4（E））。第1のレジストパターン510Pを剥離した後、外部端子部表面に金めっき部334Gを形成するために第2のレジスト540を板材の両面に貼着する（図4（F））。この場合もドライフィルムレジストによることができる。

【0024】その後、露光、現像処理して金めっき部の金属板材のみを露出させる第2のレジストパターン54

10

20

30

40

50

OPを形成し、当該露出部分に金めっきを行う。金めっきは銀めっきと同様にめっき液を噴射する方法等を採用することができる。金めっき後、第2のレジストパターンを剥離して洗浄し、回路部材300が完成する。外部端子部の金めっきは、本発明の回路部材に必須不可欠のものではないが、マザーボードの半田との接合を良好にするためには金めっきをしておくことが好ましい。これにより半導体装置作製の際、改めて回路部材に表面処理を施す必要がなくなる。また、銅合金材を用いた場合は、金めっき前にニッケルめっきを施すと実装時の信頼性が高まる。

【0025】本発明の回路部材は、上記のような構成とすることにより、前記樹脂封止型半導体装置の製造を可能とするものであるが、通常のリードフレームと同様にエッチング工程とめっき工程により製造することができ、工程を増加させない利点がある。

【0026】

【実施例】（実施例）以下、図2に示す回路部材の製造を図4の工程に基づいて、半導体装置の製造を図1に基づいて、説明する。回路部材の素材には、厚み0.15mmの42合金（Ni42%のFe合金）を使用した。まず、第1のドライフィルムレジスト（日合モートン社製「ラミナーGA」）厚み；1.0milを熱ロールを使用して板材500の両面にラミネートした（図4（A））。その後、所定のフォトマスクを用いて回路部材の外形および銀めっき部と腐食部のパターンを形成した後（図4（B））、めっき液を噴射する方法で銀めっき部360と位置合わせ用マーク380に銀めっきを施した。銀めっきの幅はいずれも0.5mm幅とし、めっき厚は6μmとした。

【0027】銀めっき後、レジストの開口部530を腐食液でエッチングを行い回路部材の外形を形成した。腐食液として液温50℃の塩化第二鉄水溶液を用い板材の両面からスプレイエッチングする方法で行った（図4（D））。その後、第2のドライフィルムレジスト（日合モートン社製「ラミナーGA」）厚み；1.0milを熱ロールを使用し、エッチングした部材の両面にラミネートした（図4（F））。ラミネート後、所定のフォトマスクを用いて回路部材の外部端子部を露出させ、めっき液を噴射する方法で外部端子部に金めっきを施した（図4（G））。金めっきの厚みは、0.5μmとした。第2のドライフィルムレジストパターンを剥離処理して回路部材300が完成した。

【0028】完成した回路部材300のダイパッド120に半導体素子をダイアタッチ材を使用して固定して搭載した後、半導体素子の端子と回路部材の内部端子部の銀めっき部とを金ワイヤ140にて電気的に接続した。回路部材の端子部の外部端子の金めっき部と位置合わせ用マーク180が外部に露出するようにして樹脂封止し、さらに回路部材の各接続リードを切断して外枠部を

除去して樹脂封止型半導体装置100を完成した（図1（A））。

【0029】

【発明の効果】本発明の樹脂封止型半導体装置は、高集積化、高機能化が求められる状況のもと半導体装置の多ピン化、薄型化、小型化を達成できるとともに、半導体装置の回路基板への実装時において位置合わせを容易かつ確実にできる効果がある。また、本発明の回路部材は、このような樹脂封止型半導体装置を容易に製造可能とするものであるが、通常のリードフレームの製造と同様の工程で製造できる利点がある。

【図面の簡単な説明】

【図1】 本発明の樹脂封止型半導体装置を示す図である。

【図2】 本発明の樹脂封止型半導体装置に用いられる回路部材を示す図である。

【図3】 回路部材が短冊状に連接して形成されたリードフレームを示す。

【図4】 本発明の回路部材の製造工程を示す図である。

【図5】 先行技術における樹脂封止型半導体装置の例を示す図である。

【図6】 先行技術における樹脂封止型半導体装置の他の例を示す図である。

【図7】 先行技術における樹脂封止型半導体装置に使用する回路部材の例を示す図である。

【図8】 先行技術における樹脂封止型半導体装置に使用する回路部材の他の例を示す図である。

【符号の説明】

100, 100A	樹脂封止型半導体装置
110	半導体素子
111	端子（パッド）
115	ダイアタッチ材
120	ダイパッド
130	端子部
132	内部端子部
134	外部端子部
134G	金メッキ部
140	ワイヤ
150	封止用樹脂
160	銀めっき部
180	位置合わせ用マーク
200, 200A	樹脂封止型半導体装置
210	半導体素子
211	端子（パッド）
215	ダイアタッチ材
225	リード
230	端子部
232	内部端子部
234	外部端子部

1 1

1 2

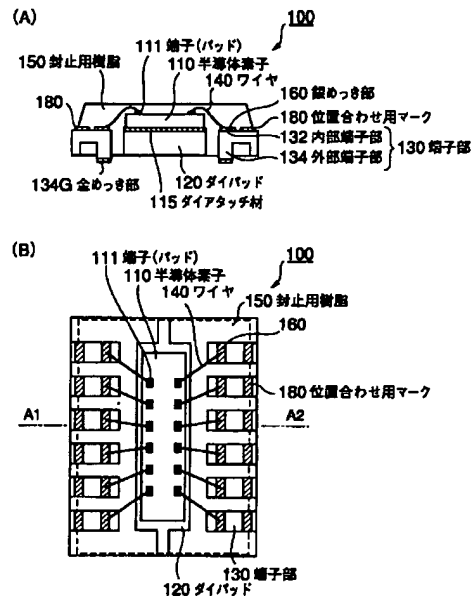
240 ワイヤ
 250 封止用樹脂
 260 銀めっき部
 270 半田からなる外部電極
 300, 305 回路部材
 材
 320 ダイパッド
 1のレジスト
 325 リード
 肉部
 330 端子部
 ジストの開ロ部

500 板
 510 第
 520 薄
 530 レ

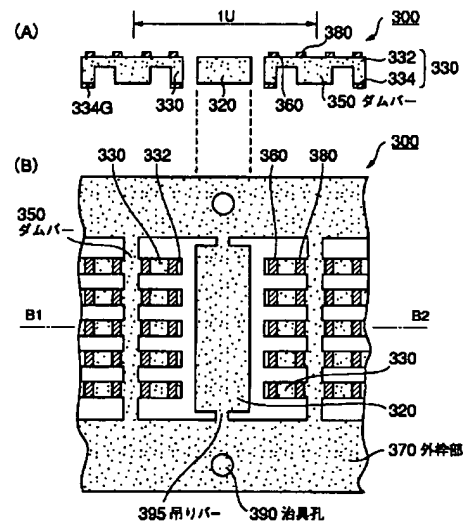
332 内部端子部
 2のレジスト
 334 外部端子部
 334G 金めっき部
 350 ダムバー
 352 接続リード
 360 銀めっき部
 370 外枠部
 380 位置合わせ用マーク
 390 治具孔
 395 吊りバー

540 第

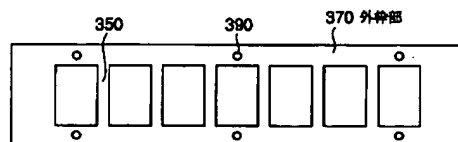
【図1】



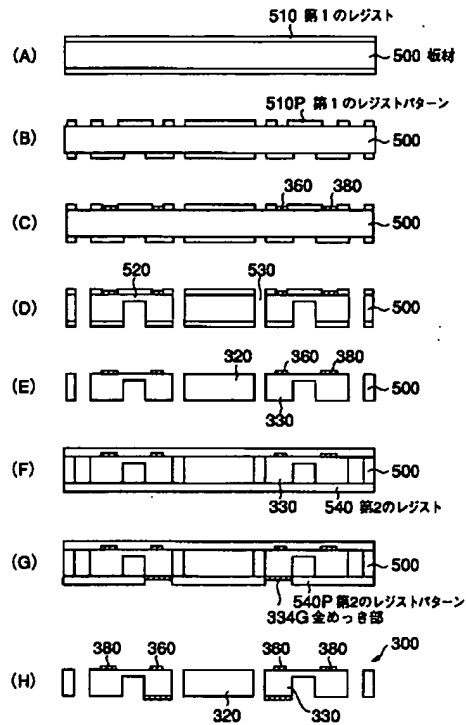
【図2】



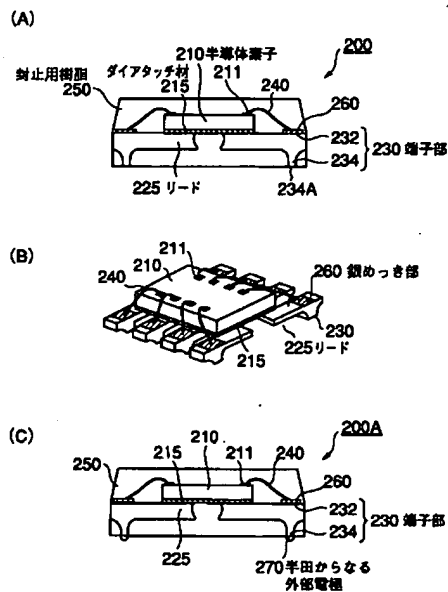
【図3】



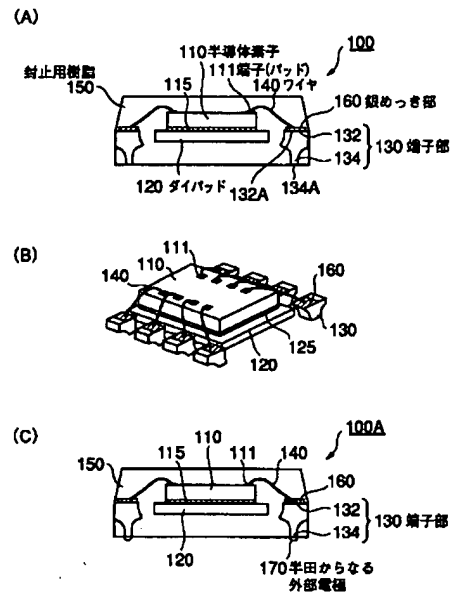
【図4】



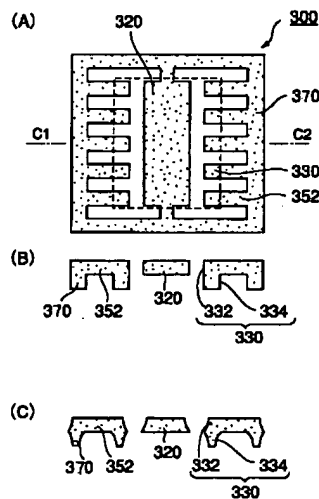
【図6】



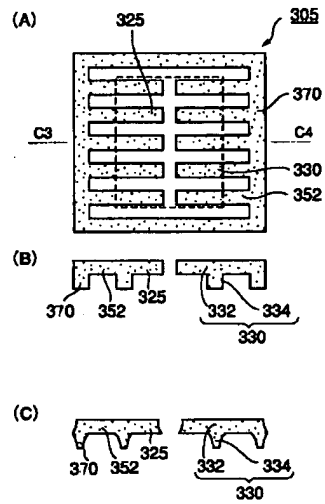
【図5】



【図7】



【図8】



[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)



Generate Collection

L1: Entry 13 of 13

File: DWPI

Jan 12, 2001

DERWENT-ACC-NO: 2001-175197
DERWENT-WEEK: 200118
COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Resin-sealed semiconductor device e.g. ASIC, LSI chips, has alignment marks formed by plating on external terminal and exposed area of resin sealing, for alignment during mounting of chip on circuit board

PATENT-ASSIGNEE:

ASSIGNEE

DAINIPPON PRINTING CO LTD

CODE

NIPQ

PRIORITY-DATA: 1999JP-0171748 (June 18, 1999)

Search Selected

Search ALL

Clear

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<input type="checkbox"/> JP 2001007274 A	January 12, 2001		009	H01L023/50

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-NO	DESCRIPTOR
JP2001007274A	June 18, 1999	1999JP-0171748	

INT-CL (IPC): H01 L 23/12; H01 L 23/50

ABSTRACTED-PUB-NO: JP2001007274A

BASIC-ABSTRACT:

NOVELTY - The resin-sealed semiconductor device (100) has internal terminal (132) for connecting internal device (110). External terminals (134) are formed for connecting with external circuit. Alignment marks (180) are formed by plating method on the external terminal (134) and externally exposed area of sealing.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (a) Circuit unit used by lead frame;
- (b) Circuit unit manufacturing method

USE - Resin-sealed semiconductor device e.g. ASIC, LSI chips.

ADVANTAGE - Offers easier, simple and accurate alignment process, when mounting the chip on the circuit board. Enables high integration and size reduction of IC chip. Offers simple manufacturing process.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the resin-sealed semiconductor device.

Semiconductor device 100

Internal device 110

Internal terminal 132

External terminal 134

Alignment mark 180

CHOSEN-DRAWING: Dwg.1/8

TITLE-TERMS: RESIN SEAL SEMICONDUCTOR DEVICE ASIC LSI CHIP ALIGN MARK FORMING PLATE
EXTERNAL TERMINAL EXPOSE AREA RESIN SEAL ALIGN MOUNT CHIP CIRCUIT BOARD

DERWENT-CLASS: U11

EPI-CODES: U11-D01;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2001-127079

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)